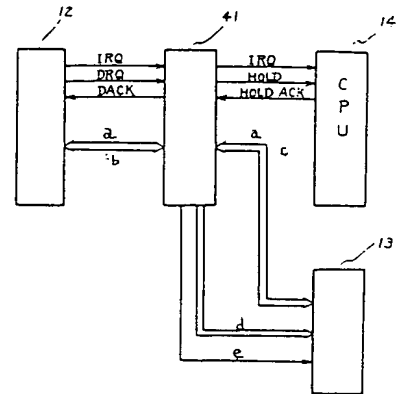


(54) DIRECT MEMORY ACCESS CONTROLLER

(11) 1-145753 (A) (43) 7.6.1989 (19) JP
 (21) Appl. No. 62-303189 (22) 2.12.1987
 (71) HITACHI LTD(1) (72) ATSUSHI YOSHIDA(1)
 (51) Int. Cl. G06F13/28

PURPOSE: To transfer all data, and also, to eliminate the need of a transfer data number counter by transferring the data when an untransferred data remains behind in a data latch buffer, when an input/output port has transmitted the transfer end to a CPU.

CONSTITUTION: When the data are brought to direct memory access (DMA) transfer from an input/output port 12 to a memory 13, a signal outputted at the time of the end of the DMA transfer from the input/output port 12 to a CPU 14 for managing a DMA controller 41 is utilized, and when this signal has been outputted from the input/output port 12, when the data from the input/output port 12 to be transferred to the memory 13 remains behind in a data latch buffer, this data is transferred to the memory 13. In such a way, a transfer data counter is eliminated, the cost can be reduced, and also, even in case width of data buses of the memory and the input/output port is different, the DMA transfer can be operated normally.



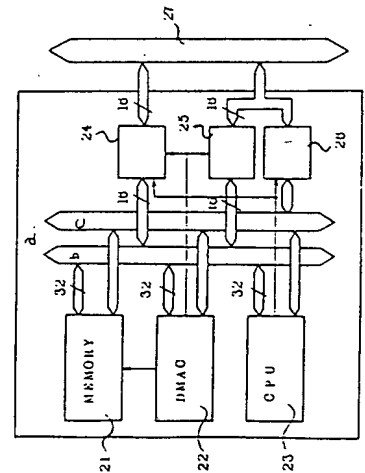
a: data bus. b: 8 bits. c: 16 bits. d: address bus. e: host data effective

(54) DATA TRANSFER SYSTEM

(11) 1-145754 (A) (43) 7.6.1989 (19) JP
 (21) Appl. No. 62-304059 (22) 1.12.1987
 (71) RICOH CO LTD (72) SATORU KONAKAI
 (51) Int. Cl. G06F13/38

PURPOSE: To extend a data bus without increasing the number of bus lines by informing only a head address to a slave, and thereafter, diverting a system address bus to a system data bus and executing a data transfer.

CONSTITUTION: A module having a DMA function is provided with plural data buffers 24, 25 being equal to width of a system data bus, and in case of executing a continuous address access to a slave by using a system bus 27, only a head address is informed to the slave, and thereafter, a system address bus is diverted to the system data bus, and through those data buffers 24, 25, the data transfer is executed by both the system data bus and the system address bus. In such a way, a transfer speed on the system bus can be improved by extending the width of the data bus without increasing the number of data lines.



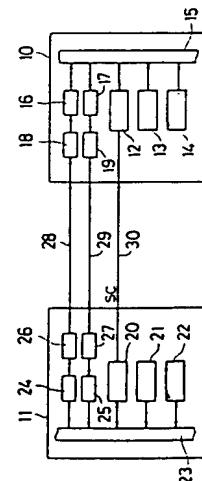
26: address latch. a: local bus. b: data. c: address

(54) DATA TRANSFER SYSTEM

(11) 1-145755 (A) (43) 7.6.1989 (19) JP
 (21) Appl. No. 62-304899 (22) 1.12.1987
 (71) FUJITSU TEN LTD (72) SHOJI FUJIMOTO(4)
 (51) Int. Cl. G06F13/42, G06F13/38, H04L13/00

PURPOSE: To simplify processing procedure, to curtail a data length required for a transfer and to improve a transfer speed by executing a data transfer in a period in which a controller sets a control signal line to a one-way level.

CONSTITUTION: In case of executing a transfer of data between a controller 11 and a data processor 10, the controller 11 sets a control signal line 30 to a one-way level in a necessary period. In this period of the one-way level, the transfer of the data is executed between the controller 11 and the data processor 10. In such a way, with regard to the data to be transferred, it will suffice to only designate a head address at the time of read-out/write of the data, and irrespective of whether the data to be transferred is the quantity of one unit data quantity or the quantity of plural unit data, the transfer can be executed by the same processing procedure, the data length required for the transfer can be curtailed, and the transfer speed can be improved.



12,20: arithmetic processing. 13,21: storage. 14: address counter. 22: word number counter

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-145754

⑬ Int.Cl.⁴
G 06 F 13/38

識別記号
3 3 0

庁内整理番号
C-8840-5B

⑭ 公開 平成1年(1989)6月7日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 データ転送方式

⑯ 特 願 昭62-304059

⑰ 出 願 昭62(1987)12月1日

⑱ 発 明 者 小 仲 井 悟 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑳ 代 理 人 弁 理 士 磯 村 雅 俊

明 細 書

1. 発明の名称

データ転送方式

2. 特許請求の範囲

1. DMA機能を有するモジュールがCPUやメモリ等のモジュールとともにシステムバスにより結合されたコンピュータシステムのデータ転送方式において、上記DMA機能を有するモジュールにはシステムデータバス幅に等しい複数のデータバッファを備え、該システムバスを用いてスレーブに対する連続アドレスアクセスを行う場合、システムアドレスバスにより先頭アドレスのみをスレーブに通知した後、該システムアドレスバスをシステムデータバスに転用してシステムデータバスを拡張し、複数の該データバッファを用いてデータ転送を行うことを特徴とするデータ転送方式。

3. 発明の詳細な説明

技術分野

本発明は、コンピュータシステムのデータ転送

方式に関し、特に、バスラインの数を増加することなく、データバスを拡張することが可能なデータ転送方式に関する。

従来技術

一般にコンピュータシステムでは、メモリ間で大量のデータを転送する場合、ダイレクト・メモリ・アクセス・コントローラ(以下DMACと略す)により、中央処理装置(以下CPUと略す)を介さず、直接にシステムバスを用いてデータ転送を行う。

例えば、第6図のようにメモリ(MEMORY)61、DMAC62、CPU63等のモジュールがシステムバスにより結合されたコンピュータシステムでは、システムバスを用いたデータ転送方式としてアドレス-データバス分離方式とアドレス-データバス多重方式が知られている。

このアドレス-データバス分離方式は第4図のように、アドレスバス用およびデータバス用のバスライン上にストロブ信号(Strobe)により、アドレス信号(AD)およびデータ信号(Data)を

同時に転送する。このため、データ転送速度が大きい。

しかし、この方法ではバスライン数が多くなり、近年のアドレスバスおよびデータバスの拡張傾向からみて問題がある。

また、アドレスデータバス多重方式は第5図のように、同じバスライン上でアドレスとデータを交互に転送する。このため、バスライン数を少くすることができる。

しかし、この方法ではアドレスとデータを同時に出力できないため、同じデータバス幅を持つアドレスデータバス分離方式のバスと比較して、データ転送速度が劣るという問題がある。

さらに、連続アドレスへデータ転送を行う方法としては、第3図のように、連続アドレスアクセス時に、先頭アドレスのみをスレーブに通知し、その後、スレーブ側でアドレスをカウントアップすることが提案されている。

しかし、この方法では、バスラインを有効に利用する点については配慮がなされていない。

以下、本発明の一実施例を図面により説明する。

第1図は、本発明の一実施例における連続アドレスへのデータ転送を示すタイミングチャート、第2図は本発明の一実施例のコンピュータシステムにおけるDMA機能を有するボードの構成図である。

本実施例のコンピュータシステムにおけるDMA機能を有するボードは、第2図のようにメモリ(MEMORY)21、DMAC22、CPU23、データバッファA24、データバッファB25、アドレスラッチ26、およびローカルバス(ローカルデータバス、ローカルアドレスバス)を備え、他のメモリ等のモジュール(図示せず)とともにシステムバス27により結合されている。

また、ローカルバスは32ビットであり、システムデータバスは16ビット(DMA時は32ビット)である。

また、第1図のように、連続アドレスへのデータ転送を行う場合(DMA時)、DMAC22は、まずアドレス・ストロブ信号(AS)により、先

目的

本発明の目的は、このような問題点を改善し、データライン数を増加することなく、データバス幅を拡張してシステムバス上の転送速度を向上することが可能なデータ転送方式を提供することにある。

構成

上記目的を達成するため、本発明のデータ転送方式は、DMA機能を有するモジュールがCPUやメモリ等のモジュールとともにシステムバスにより結合されたコンピュータシステムのデータ転送方式において、上記DMA機能を有するモジュールにはシステムデータバス幅に等しい複数のデータバッファを備え、システムバスを用いてスレーブに対する連続アドレスアクセスを行う場合、先頭アドレスのみをスレーブに通知した後、システムアドレスバスをシステムデータバスに転用し、それらのデータバッファを介して、システムデータバスおよびシステムアドレスバスの両方によりデータ転送を行うことに特徴がある。

先頭アドレスをシステムバス27のシステムアドレスバスによってスレーブ(図示せず)に通知し、その後、システムアドレスバスを転用してシステムデータバスを拡張し、両方のバスラインを利用して高速のデータ転送を行う。

つまり、DMAを行う場合には、DMAC22はデータバッファA24およびデータバッファB25を用いることにより、既存の16ビットバスシステムにおいて、32ビットのデータ転送を行うことができる。

なお、アドレスについてはスレーブのCPUボード(図示せず)自身が先頭アドレスをカウントアップすることにより発生させる。

また、CPU23がシステムバス29をアクセスする場合、アドレスラッチ26およびデータバッファA24を用いて16ビットのデータ転送を行う。

本実施例では、バスライン数を増加することなく、また、一般のアドレスデータバス多重方式のように大きなオーバーヘッドを生じることなく、

データバスを拡張することが可能である。このため、特に画像処理装置等、大量のデータをDMA転送することが多いシステムの処理速度を向上する。

効果

本発明によれば、バスライン数を増加することなく、データバスを拡張することが可能であるため、データ転送の高速化が実現できる。

また、既存のバスラインを使用して構成することができるため、容易に既存のシステムに追加することが可能である。

さらに、データバス幅に比べてバスライン数が少ないため、経済性が向上する。

4. 図面の簡単な説明

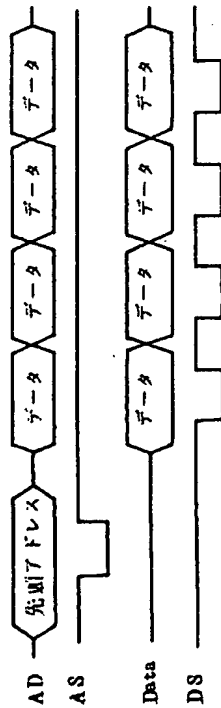
第1図は本発明の一実施例における連続アドレスへのデータ転送を示すタイミングチャート、第2図は本発明の一実施例におけるコンピュータシステムの構成図、第3図は従来方式による連続アドレスへのデータ転送を説明するタイミングチャート、第4図は従来のアドレス-データバス分離

方式を説明するタイミングチャート、第5図は従来のアドレス-データバス多重方式を説明するタイミングチャート、第6図は従来のコンピュータシステムの構成図である。

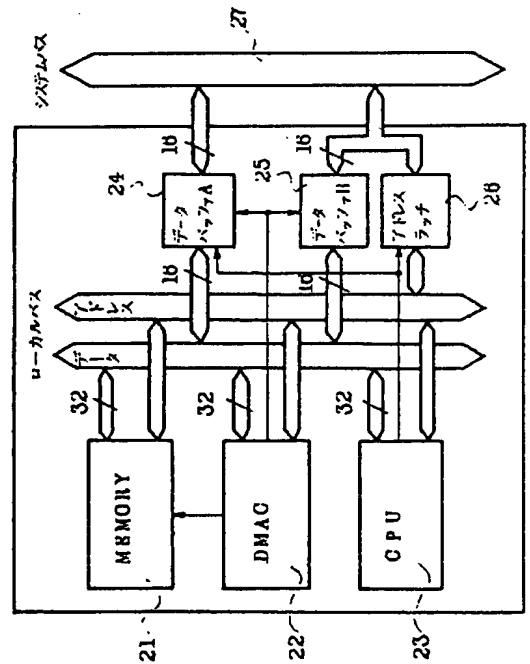
21, 61: メモリ(MEMORY), 22, 62: ダイレクト・メモリ・アクセス・コントローラ(DMAC), 23, 63: 中央処理装置(CPU), 24: データバッファA, 25: データバッファB, 26: アドレスラッチ, 27: システムバス, AD: アドレス信号, AS: アドレス・ストローブ信号, Data: データ信号, DS: データ・ストローブ信号。

特許出願人 株式会社 リ コ
代理人 弁理士 磯村 雅

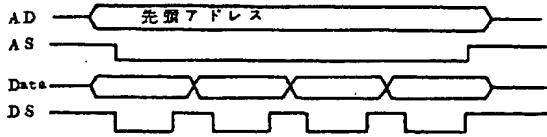
第 1 図



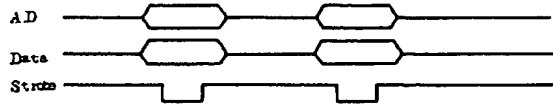
第 2 図



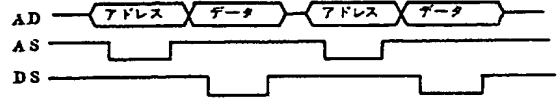
第 3 図



第 4 図



第 5 図



第 6 図

